

# PATENT ABSTRACTS OF JAPAN

(11)Publication number : 2000-294557

(43)Date of publication of application : 20.10.2000

(51)Int.Cl.

H01L 21/3205

G11B 5/31

H01L 21/301

(21)Application number : 11-097765

(71)Applicant : SONY CORP

(22)Date of filing : 05.04.1999

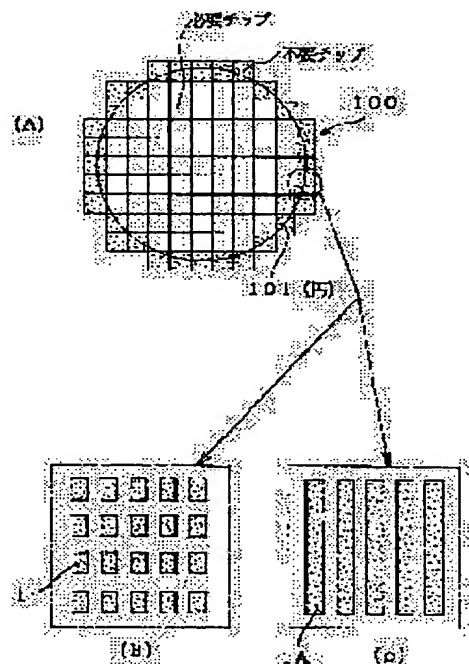
(72)Inventor : HARIBUCHI HIDEO

## (54) ELECTRONIC DEVICE POLISHED PRIOR TO USE

### (57)Abstract:

PROBLEM TO BE SOLVED: To provide an electronic device polished prior to use, which will not adversely affect a necessary chip, even if the polishing is performed by, for example, CMP method.

SOLUTION: An electronic device (semiconductor device) is constituted, such that the plate-shaped object of polishing where a circuit pattern is made in a base material where wiring material is grown and at least an insulating layer is made on and around the circuit pattern is polished, and then the object of polishing is cut into required part for use and unwanted part. In this case, a dummy pattern is made in the unwanted part.



## LEGAL STATUS

[Date of request for examination]

[Date of sending the examiner's decision of rejection]

[Kind of final disposal of application other than the examiner's decision of rejection or application converted registration]

[Date of final disposal for application]

[Patent number]

[Date of registration]

[Number of appeal against examiner's decision of rejection]

[Date of requesting appeal against examiner's decision of rejection]

[Date of extinction of right]

(19) 日本国特許庁 (J P)

(12) 公開特許公報 (A)

(11) 特許出願公開番号  
特開2000-294557  
(P2000-294557A)

(43) 公開日 平成12年10月20日 (2000. 10. 20)

(51) Int.Cl. <sup>7</sup>	識別記号	F I	テーマコード* (参考)
H 0 1 L 21/3205		H 0 1 L 21/88	K 5 D 0 3 3
G 1 1 B 5/31		G 1 1 B 5/31	M 5 F 0 3 3
H 0 1 L 21/301		H 0 1 L 21/78	W
		21/88	S

審査請求 未請求 請求項の数 6 O L (全 4 頁)

(21) 出願番号 特願平11-97765

(22) 出願日 平成11年4月5日 (1999. 4. 5)

(71) 出願人 000002185

ソニー株式会社

東京都品川区北品川 6 丁目 7 番 35 号

(72) 発明者 針淵 英男

長崎県諫早市津久葉町1883番43 ソニー長崎株式会社内

Fターム(参考) 5D033 CA05 DA01

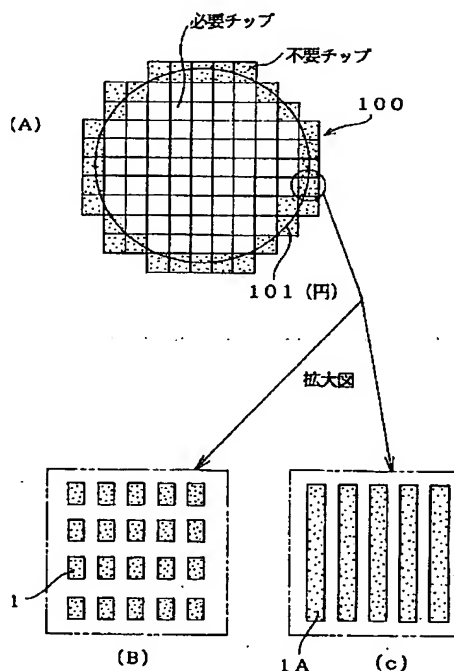
5F033 QQ09 QQ48 TT01 VV02 WW01  
XX01

(54) 【発明の名称】 研磨して使用する電子装置

(57) 【要約】

【課題】 例えばCMP法による研磨を行っても、必要チップには悪影響を与えることのない、研磨して使用する電子装置を提供する。

【解決手段】 配線材料が成膜された基材に回路パターンを形成し、該回路パターンおよび回路パターンの周囲の上に少なくとも絶縁層を形成してなる平面状の研磨対象物を研磨した後、該研磨対象物を必要部分と不要部分とに切断して使用する電子装置（半導体装置）において、前記不要部分にダミーパターン1を形成した。



1

## 【特許請求の範囲】

【請求項 1】 配線材料が成膜された基材に回路パターンを形成し、該回路パターンおよび回路パターンの周囲の上に別の層を形成してなる平面状の研磨対象物を研磨した後、該研磨対象物を必要部分と不要部分とに切断して使用する電子装置において、前記不要部分にダミーパターンを形成したことを特徴とする研磨して使用する電子装置。

【請求項 2】 前記ダミーパターンは、矩形状の配線部材をマトリクス状に複数配置したことを特徴とする請求項 1 記載の研磨して使用する電子装置。

【請求項 3】 前記ダミーパターンは、短冊状の配線部材を並列に複数配置したことを特徴とする請求項 1 記載の研磨して使用する電子装置。

【請求項 4】 前記ダミーパターンの幅を  $2\mu$  以上にしたことを特徴とする請求項 1 乃至請求項 3 のいずれかに記載の研磨して使用する電子装置。

【請求項 5】 前記電子装置は、半導体装置であることを特徴とする請求項 1 乃至請求項 4 のいずれかに記載の研磨して使用する電子装置。

【請求項 6】 前記電子装置は、厚膜磁気ヘッド装置であることを特徴とする請求項 1 乃至請求項 4 のいずれかに記載の研磨して使用する電子装置。

## 【発明の詳細な説明】

## 【0001】

【発明の属する技術分野】本発明は、研磨して使用する電子装置に関し、特にウエハ上に成膜した回路パターンの上に、更に形成した絶縁層等を研磨し、その後更に必要部分を切断して使用する、研磨して使用する電子装置に関する。

## 【0002】

【従来の技術】近年、超 LSI 等の半導体装置における表面の平坦化手法として CMP (chemical mechanical polish) 法が注目されている。この CMP 法は、シリカ粒子を含む研磨液（スラリー）を注ぎながら定盤に貼り付けた研磨パッドに、回路パターンや絶縁層等を形成したウエハ（基材）を押しつけ、該ウエハに荷重をかけながら定盤を回転させて、ウエハ表面の凸部のみを選択的に研磨する方法である。

【0003】ところで、図 3 に示すように、ウエハを切断して必要なチップを取得する場合には、ウエハ 100 における所定の円 101 の内側に完全に正方形のチップが形成される部分（必要チップ）と、正方形のチップが円 101 にかかってしまう部分（不要チップ、図中ドットを付した部分）とが生じる。

【0004】このウエハ 100 に対し、その後の配線工程等を終了した状態（半製品と称する）の断面図を図 4 (A) に示す。図 4 (A) に示すように、半製品 110 においては、パターン間隔を有する回路パターン部（正常部）112 と、パターン間隔の無い配線材料のベタ塗

2

り部（不要チップ部）113 とが生じる。そして、回路パターン部 112 とベタ塗り部 113 の上に更に窒化膜 114 と絶縁膜 115 とを形成する。

## 【0005】

【発明が解決しようとする課題】しかしながら、かかる構成（図 3、図 4 (A) 参照）の半製品 110 に対して CMP 法を適用すると、図 4 (B) に示すように、平坦化が悪化するおそれがあり、その結果、回路パターン部（正常部）112 のチップにも悪影響を及ぼすことが懸念される。

【0006】また、以上の懸念の解消手段として例えば外周部の不要チップにもパターニングする手段が考えられるが、パターンの微細化が進み、また周辺部なので露光フォーカスを合わせ難く、フォーカスが合わないことが考えられる。この場合には、図 5 に示すように、レジストパターン 113A が極端に細くなったり、断面がテーパ形状（逆台形）になったりし、パターンそのものが正常部まで飛散し、正常なチップまで不良化させるおそれがあった。

【0007】そこで本発明の課題は、例えば CMP 法による研磨を行っても、必要チップには悪影響を与えることのない、研磨して使用する電子装置を提供することである。

## 【0008】

【課題を解決するための手段】前記課題を解決するために本発明は、配線材料が成膜された基材に回路パターンを形成し、該回路パターンおよび回路パターンの周囲の上に別の層を形成してなる平面状の研磨対象物を研磨した後、該研磨対象物を必要部分と不要部分とに切断して使用する電子装置において、前記不要部分にダミーパターンを形成したことを特徴とする。

【0009】このようにすれば、必要部分および不要部分の両方に別の層（例えば絶縁層）を形成した場合に、図 2 (A) に示すように、回路パターン部（正常部）およびダミーパターン部（不要チップ部）の両者に凹凸が略均等に形成されるので、研磨パッドで加圧して研磨した際に、回路パターン部およびダミーパターン部が均等に研磨され、研磨面を均一に平坦化することができる。

## 【0010】

【発明の実施の形態】以下、本発明を図示の実施例に基づいて説明する。なお、既に説明した部分には同一符号を付し、重複記載を省略する。

【0011】図 1 は本実施例の平面図であって、(A) はウエハ 100 の全体図、(B) は不要チップ部分の一例の拡大図、(C) は不要チップ部分の別の例の拡大図である。

【0012】図 1 (A) に示すように、ウエハ 100 上の円 101 がかかる部分が不要チップであり（ドットを付して示す）、円 101 の内側が必要チップである（ドットを付していない部分）。そして、前記不要チップの

3

部分（図2の不要チップ部）の全てに、図1（B）に示すように、配線部材（例えば、銅箔）により、マトリクス状に矩形のダミーパターン1を形成する。また、円101の内側には必要チップを形成する。

【0013】ダミーパターン1の幅としては、2～3μ以上の大きな幅が好ましい。その理由は、ダミーパターン露光時のフォーカスずれに基づくレジスト形状の悪化が発生しても、ダミーパターンが正常部へ飛散しないようにするためである。

【0014】また、前述の如くダミーパターン1に対応したマスクを使用して不要チップの領域のみにダミーパターンを形成する（図1（A）参照）。この場合、露光手順としては、先ず必要チップの領域のマスク（図示せず）を用いて露光を完了し、次にマスクを不要チップ領域のマスクに交換して、不要チップの領域にダミーパターンを露光する。

【0015】図2（A）は、以上のようにして作成した半製品110Aの断面図である。ここに、1は前述のダミーパターン、2は窒化膜、3は絶縁膜である。そして、半製品110AをCMP法により研磨すると、図2（B）に示すように、研磨の際の研磨パットによる加圧力が表面の凹凸により正常部と不要チップ部の両方がほぼ同一研磨量（研磨の深さ）で研磨され、それに伴いほぼ均等に加圧されるので、研磨面が均一に平坦化される。

【0016】また、ダミーパターンの形状としては、図1（C）に示すように、短冊状のダミーパターン1Aを繰り返し形成してもよい。

【0017】更に、ダミーパターンは、該ダミーパターンを形成するレイヤーに最適なパターン幅、形状にする\*30

4

\*ことにより、いずれのレイヤーにも本発明を適用することが可能である。

【0018】更にまた、本実施例では半導体装置の場合について説明したが、本発明を厚膜磁気ヘッド等にも適用可能であることは勿論である。

【0019】

【発明の効果】以上説明したように本発明によれば、不要チップの部分にダミーパターンを形成し、更にその上に別の層（絶縁層等）を形成した場合に、必要チップの部分と不要チップの部分の両方に凹凸が形成されるようにしているので、CMP法等の研磨の際に、必要チップの部分と不要チップの部分とに加わる力を均等化することができ、その結果、研磨部の平坦化を達成することができる。

【図面の簡単な説明】

【図1】本発明の実施例の平面図であって、（A）はウエハを示す図、（B）はダミーパターンの一例の拡大図、（C）はダミーパターンの別例の拡大図である。

【図2】同実施例の断面図であって、（A）は研磨前の状態の図、（B）は研磨後の状態の図である。

【図3】従来例のウエハの平面図である。

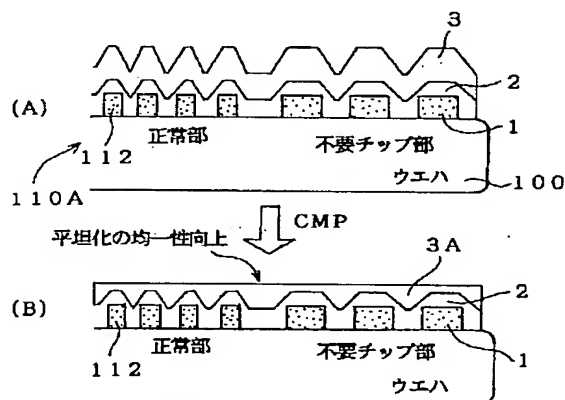
【図4】従来例のウエハを使用した半製品を示す断面図であって、（A）は研磨前の状態の図、（B）は研磨後の状態の図である。

【図5】従来例の不要チップ部にパターンを形成した場合の不都合を説明する図である。

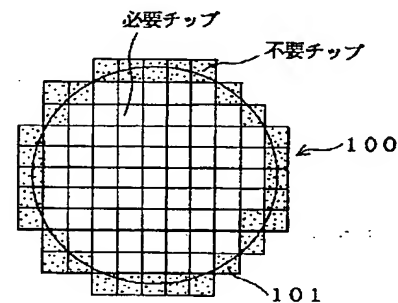
【符号の説明】

1, 1A…ダミーパターン、2…窒化膜、3, 3A…絶縁膜、100…ウエハ、110A…半製品、112…正常部（必要部）に形成した回路パターン

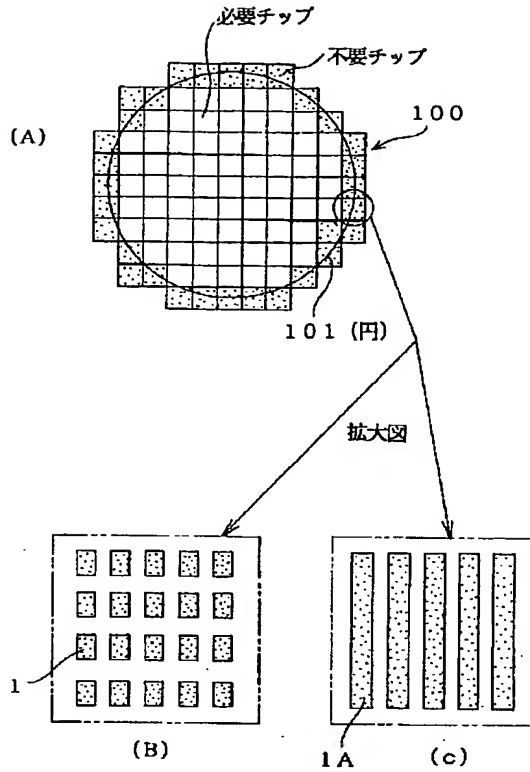
【図2】



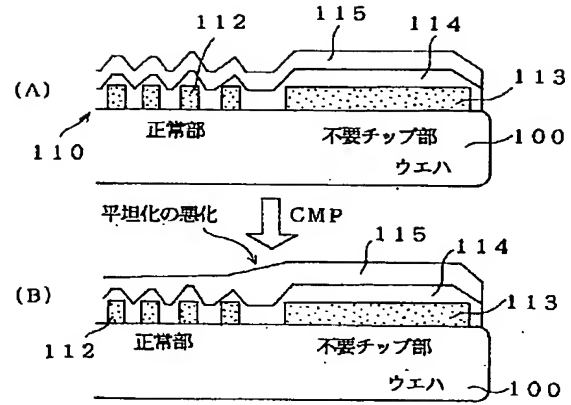
【図3】



【図1】



【図4】



【図5】

